

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-217037

(43)Date of publication of application : 04.08.2000

(51)Int.CI. H04N 5/335
H01L 27/146

(21)Application number : 11-327857 (71)Applicant : AGILENT TECHNOL INC

(22)Date of filing : 18.11.1999 (72)Inventor : PERNER FREDERICK A
TAN CHARLES M C

(30)Priority

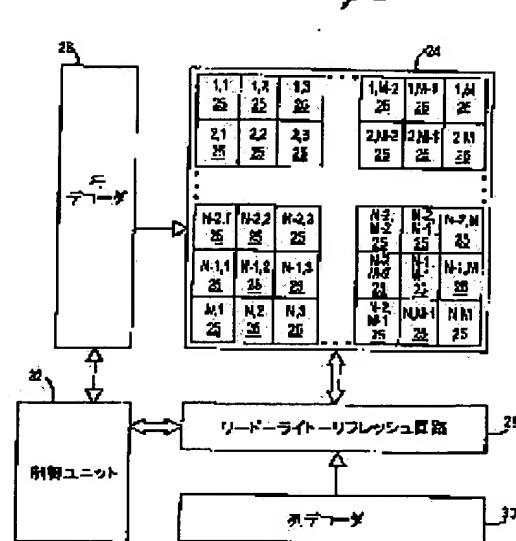
Priority number : 98 195588 Priority date : 18.11.1998 Priority country : US

(54) CMOS ACTIVE PIXEL SENSOR PROVIDED WITH INTRA-PIXEL LOCAL EXPOSURE CONTROL FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the image pickup performance of a high dynamic range and high sensitivity by providing variable length exposure time with duration based on the size of optical signals and indicating the intensity of incident light by time dependent signals.

SOLUTION: An image pickup device 22 is constituted of the array 24 of pixels 25 and the pixel 25 becomes an optical sensor for generating the optical signals corresponding to the intensity of the incident light. As the function of the variable length exposure time of the optical sensor, the time dependent signals are formed by a converter. The variable length exposure time is provided with a duration length based on mathematic relation with the size of the optical signals and thus, the time dependent signals indicate the intensity of the incident light. The optical signals are analog signals and the converter receives analog optical signals and generate the time dependent signals by a digital form. Also, the converter is provided with a circuit for deciding the duration length of the variable length exposure time based on the detection of a pre-selected voltage drop generated by the incident light and a comparator for comparing integration signals with reference signals.



[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-217037
(P2000-217037A)

(43)公開日 平成12年8月4日(2000.8.4)

(51) Int.Cl.⁷

識別記号

F I
H 0 4 N 5/335
H 0 1 L 27/14

テーマコト[°](参考)

審査請求 未請求 請求項の数 1 O.L. (全 12 頁)

(21)出願番号 特願平11-327857
(22)出願日 平成11年11月18日(1999.11.18)
(31)優先権主張番号 195588
(32)優先日 平成10年11月18日(1998.11.18)
(33)優先権主張国 米国(US)

(71)出願人 399117121
アジレント・テクノロジーズ・インク
A G I L E N T T E C H N O L O G I E
S, I N C.
アメリカ合衆国カリフォルニア州パロアル
ト ページ・ミル・ロード 395
(72)発明者 フレデリック・エイ・バーナー
アメリカ合衆国カリフォルニア州94306,
パロアルト, ラモナ・ストリート・3234
(74)代理人 100063897
弁理士 古谷 鑑 (外2名)

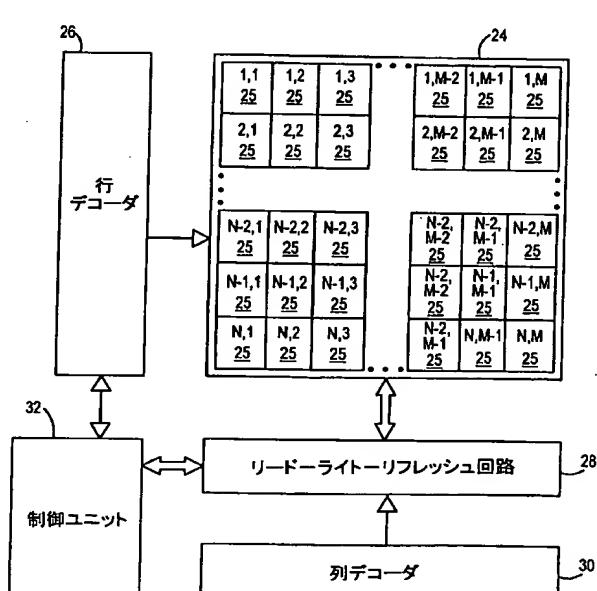
最終頁に統ぐ

(54)【発明の名称】 画素内局所露光制御機能を有するCMOSアクティブピクセルセンサ

(57) 【要約】

【課題】タッチミックレンジが高く、低放射輝度に対する感度が良好なイメージセンサを提供する

【解決手段】対象シーンを撮像する装置及び方法は、そのシーンの領域の放射レベルを判定するために、一定の電圧降下を検出することに基づく継続時間を有する可変露光時間を利用する。電圧降下の速度は、シーンの領域からの放射レベルに対応し、放射レベルの高いシーン領域は、それより放射レベルの低いシーン領域よりも速く電圧降下を引き起こす。可変露光時間は、装置の画素アレイ内の各画素で決定されて、撮像シーンの異なる領域からの露光時間が収集される。測定された露光時間は、撮像したシーンを表す種々のグレースケールレベルを有する複合画像を生成するために使用することができるグレースケール情報に変換される。各画素は、露光時間を測定し、デジタル化し、記憶するための光センサ、アナログ・デジタル変換器及びメモリを備える。メモリは、それぞれが双方向ピットラインに結合された3トランジスタ構成を有する複数のメモリセルを含む。



【特許請求の範囲】

【請求項1】画素(25)のアレイ(24)により構成された感光性領域を有する撮像装置(22)において、各画素が、前記画素への入射光の強度に応じた光信号を発生する光センサ(36)であって、前記入射光の強度が対象シーンからの放射輝度に対応することからなる、光センサと、前記光センサの可変長露光時間の関数として時間依存性信号を形成する為に、前記光センサに接続されてそれと関連して動作するコンバータ(38,40,68,78)であって、前記可変長露光時間が、前記光信号の大きさとの数学的関係に基づいた継続時間長を有し、これにより前記時間依存性信号が前記入射光の強度を表わすことからなる、コンバータとから構成されること。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的にイメージセンサに関し、より具体的にはCMOSアクティブピクセル(CMOSアクティブ画素)を利用したイメージセンサに関する。

【0002】

【従来の技術】アクティブピクセルセンサ(Active Pixel Sensor:ASP)は、望遠鏡やデジタルカメラ、ビデオレコーダ等の様々な撮像装置に利用されている。APSは、対象シーンの画像を、そのシーンからの入射光をアナログ形式の電気信号に変換することによって取り込む。代表的なアクティブピクセルセンサは、「画素(ピクセル)」即ち、個別領域のアレイ(配列)を有し、各画素は光検出素子を含んでいる。画素中の各光検出素子は、別々の電流を発生するが、これはその素子に入射した光の強度に比例する。この変化する電流の大きさを基本として使用して、アナログ・デジタル変換器(ADC)が、メモリに記憶し得るデジタル画像データのストリームに変換する。こうすると全ての画素からのデジタル化された画像データをモニター上に複合画像として表示したり、プリンタで紙上に印刷したり、あるいは、そのシーンにおける対象物の特性に関する情報を得る為に分析したりすることができる。

【0003】従来型のAPSに利用される画素は、2つのタイプに分類することができる。第一の画素タイプは、一般的に「アナログ画素」と呼ばれる。アナログ画素にはフォトダイオードやフォトトランジスタ等のような光センサが含まれ、また、增幅器が含まれる場合もある。付随するADCやメモリは画素の外部に位置する。従って、アナログ画素の光センサが発生した電流は、画素から外部ADCへとアナログ信号として伝送される。

【0004】第二の画素タイプは「デジタル画素」として知られるものである。デジタル画素には光センサ及び增幅器だけではなく、ADCも含まれる。言い換れば、ADCが、画素中に光センサや增幅器と共に包含されているのである。従って、光センサが発した電流の大

きさを画素内でデジタル化して、画素外部品にデジタル信号として伝送することができる。Fowler他による米国特許第5,461,425号「CMOS Imaging Sensor with Pixel Level1 A/D Conversion」には、第二のタイプの画素を有する單一半導体チップ上のイメージセンサが記載されている。Fowler他によるイメージセンサは、各画素がフォトトランジスタ及びADCを含む画素アレイを備えている。フォトトランジスタが生成したアナログ信号は、画素上ADC(on-pixel ADC)によりデジタルデータビットの連続ストリームに変換される。デジタルデータは、その後フィルタリングを施され、外部メモリに記憶される。画素上ADCは、寄生作用、及び低いS/N比による歪みを最小限に抑制する利点があると説明されている。

【0005】従来技術によるアクティブピクセルセンサは、画素タイプの違いに関係なく、対象シーンの様々な区分域(流域)からの放射輝度を定量化することにより、そのシーンを撮像するように動作する。各シーン区分域について光センサが、特定の画素が生成した電流によって駆動された光電圧を測定することにより、そのシーン区分域からの放射輝度を定量化する。光センサが、ある一定の積分、即ち露光時間の間、そのシーンのある区分域からの入射光にさらされる場合、光電圧の大きさは、その光センサが撮像しているシーンからの放射輝度の強さに依存する。

【0006】図1は、従来技術のイメージセンサがシーンの区分域からの放射輝度を定量化する為に利用する技術を説明するものである。図1を参照すると、3つの線(10, 12, 14)が、時間に対する電圧値として描かれている。線(10, 12, 14)は、従来技術のイメージセンサにより検出されたシーン区分域からの3つのレベルの放射輝度に対応する光電圧を表わしたものである。t=0からt=Tまでの期間は、そのイメージセンサが採用する固定の露光時間である。線(10)は、そのシーン区分域からの放射輝度が、イメージセンサが検出し得る最高レベルであった場合における時間に対する電圧値を表わしている。一方、線(14)は、そのシーン区分域からの放射輝度が、イメージセンサが検出し得る最低レベルであった場合における時間に対する電圧値を表わしている。最後に線(12)は、そのシーン区分域からの放射輝度が、中間照度レベルにあった場合における時間に対する電圧値を表わしている。

【0007】一定の露光時間の終了時(すなわち、t=Tの時点)において、イメージセンサはADCを用いて光電圧の大きさを定量化する。シーンからの放射輝度が検出し得る最高レベルにあった場合、電圧は、線(10)のt=Tにおいて示すとおり、V_{SAT}に等しくなる。中間照度レベルにあった場合、電圧は、線(12)のt=Tに示すようにV_{MEAN}に等しくなる。そして検出し得る最低レベルにあった場合、電圧は、線(14)の

$t = T$ に示すように V_{RESET} に等しくなる。 V_{SAT} と V_{RESET} によって定義される範囲を限界とするように構成されたイメージセンサは、 V_{SAT} から V_{RESET} までの光電圧として表わされる個別のシーン放射輝度を区別することができる。しかしながら、イメージセンサが検出し得るシーン放射輝度の識別能力は、少なくとも部分的には ADC の解像度に依存する。画質に影響を与える他の要因として、固定露光時間長を短く、又は長くすることにより放射輝度に対する感度を調整することが可能であるが、しかしこの調整は、高い放射輝度のシーン区分域の感度を増すか、低い放射輝度のシーン区分域の感度を増すかのトレードオフとなる。

【0008】

【発明が解決しようとする課題】従来技術のイメージセンサは、その目的とするところを充分満たすように動作するものではあるが、ダイナミックレンジによって規定されるすぐれた撮像性能と、低放射輝度シーン区分域に対するより高い感度を有するイメージセンサが必要とされている。

【0009】

【課題を解決するための手段】対象シーンを撮像する為のシステム及び方法は、一定の電圧降下に到達するまでに要する時間（露光時間）に基づいてシーン区分域放射輝度を判定する。従って、定まった露光時間後ごとに電圧レベルをサンプリングするという従来の技術（すなわち、時間駆動型サンプリング）によるものではなく、サンプリングデータは決められた電圧降下に要する時間に基づいたもの（すなわち、電圧駆動型サンプリング）である。電圧駆動型サンプリングは、別々のシーン区分域における画像情報を供給する為に使われる画素アレイ中の画素（ピクセル）の各々において行われる。電圧降下速度は、シーン区分域の放射輝度の強さに対応しており、高放射輝度のシーン区分域は、より低い放射輝度のシーン区分域よりも早い電圧降下を示す。可変露光時間を画素アレイ中の各画素について測定して、撮像中のシーンの異なる区分域からの露光時間を収集する。その後、測定された露光時間が、その撮像シーンを表わす様々なレベルのグレースケールを持つ複合画像を作成する為に利用できるグレースケール情報へと変換される。

【0010】可変露光時間は、浮動拡散（floating diffusion: FD）ノードにおける電圧を基準電圧と比較することにより各画素内で測定される。FDノードの電圧及び基準電圧は比較器に入力され、比較器は、FDノードの電圧が基準電圧以下となった場合に信号を出力する。FDノードは、関連するシーン区分域からの入射光に応じて光電流を発生する為に光センサ（例えばフォトダイオード）に接続される。発生した電流は、FDノードに接続した積分コンデンサからの電荷を消失させ、FDノードの電圧を減少させる。FDノードの電圧減少速度は、光電流の大きさが増大すると加速する。従って、

FDノードの電圧が、リセット電圧から基準電圧まで低下する時間は、画素が光エネルギーを受けるシーン区分域の放射輝度に数学的に関係する。この時間は、撮像しているシーン区分域の露光時間を規定する。

【0011】その後、露光持続時間は、信号処理の為にデジタル化される。好適な実施態様においては、画素の各々が ADC 変換器（ADC）を備えており、各画素内で露光継続時間をデジタル化する。ADC は、画素外部のカウンタにより供給されるデジタル計数値を取り込むよう設計されている。取り込まれたデジタル計数値は、撮像シーン区分域の露光時間を表わすものである。画素外部のカウンタは、線形に計数するデジタル計数値を供給するように構成されたものとすることができる。しかしながら、画素外部カウンタは、非線形デジタル計数値を提供するように構成することもできる。非線形デジタル計数値は、露光時間とシーン区分域からの放射輝度との間の関係を変化させる為に用いることができる。

【0012】この好適な実施態様では、各画素は、取り込んだデジタル計数値を記憶する為のメモリを備えることができる。画素内メモリには、取り込んだデジタル計数値を記憶することができる複数のメモリセルが含まれる。複数のメモリセルは、少なくともデジタル計数のビット数と同数はあることが望ましい。メモリセルは、各々が双方向ビットラインと結合するように構成されている。双方向ビットラインは、読み取りビットライン及び書き込みビットラインの両方の機能を果たす。

【0013】メモリセルは、3 トランジスタ構成を有するデュアルポートメモリセルである。各メモリセルは、書き込みアクセストランジスタ、読み取りアクセストランジスタ、及びデータ制御トランジスタを備える。読み取りアクセストランジスタ及びデータ制御トランジスタは、関連する双方向ビットラインからアースへの導電路を提供するように構成されている。書き込みアクセストランジスタは、双方向ビットラインをデータ制御トランジスタのゲートへと接続する。記憶ノードは、書き込みアクセストランジスタと、データ制御トランジスタのゲートの間に位置する。従って、記憶ノードに記憶されたデータは、データ制御トランジスタの導電状態を制御することができる。読み取り処理の間、記憶ノード中の記憶データは、データ制御トランジスタの導電状態の作用によって間接的に読み取られる。従って、記憶データは読み取り処理の間に破壊されることはない。メモリセルのこの非破壊的特長によってリフレッシュサイクルの頻度が低減し、高速読み取りアプリケーションについては、リフレッシュの必要をなくすことができる。

【0014】本発明の利点は、各画素が電子シャッタを有し、撮像するシーンに応答して、全ての画素が、同時に検出し、デジタル化し、そしてデジタル画像データを記憶することにある。従って、画素は、アナログ信号ではなく、デジタル信号を出力する。さらに、画素は、永

久的にデジタル画像データを記憶することができるの
で、画像フレームバッファとして機能する。

【0015】本発明の他の利点は、より大きいダイナミックレンジが得られることにあり、これによって、優れた撮像性能が得られる。また、更なる利点は、低放射輝度のシーン区分域に対する感度が、可変露光時間の採用により増大することにある。更に、画素の設計は、低電圧拡張CMOS技術に適合する。

【0016】

【発明の実施の形態】図2を参照すると、3つの線(16、18、20)が時間軸に対する電圧として描かれて
いるが、これは撮像処理を実行する為に本発明が用いる
基本的概念を説明するものである。固定露光時間を採用
する従来のイメージセンサとは異なり、本発明に基づく
イメージセンサは、可変露光時間の継続期間を測定して
シーン区分域からの放射輝度を判定する。測定した露光
時間とは、光センサが発生した電流が、固定リセット電
圧から固定基準電圧にまで放電するのに要する時間である。

【0017】図2では、リセット電圧値及び基準電圧値
を、V_{RESET} 及びV_{REF}としてそれぞれ表している。線
(16)は、シーン区分域からの放射輝度が、本発明によ
って検出し得る最高レベルであった場合の電圧変化を
表わし、線(20)は、シーン区分域からの放射輝度
が、最低レベルであった場合の電圧変化を表わして
いる。線(18)は、シーン区分域からの放射輝度が、撮
像シーン全体の中間照度であった場合の電圧変化を表
している。線(16、18、20)の傾斜は、光センサが
発生する電流の大きさにより規定される。しかしながら、
電流の大きさはシーン区分域からの放射輝度に比例
する。従ってシーン区分域からの放射輝度と電圧変化を
表わす線の傾斜との間には数学的関係が存在する。より
高い放射輝度レベルは、より急峻なマイナス傾斜に対応
し、結果的により急激なV_{RESET}からV_{REF}への電圧降下
をもたらす。

【0018】最高放射輝度レベルにおいて、電圧は、線
(16)のv=V_{REF}にて示すようにt=T₁の時点でV_{RESET}からV_{REF}へと降下している。中間照度の放射輝度
においては、電圧は、線(18)のv=V_{REF}にて示すよ
うにt=T₂の時点でV_{REF}に到達する。そして最低放射
輝度レベルにおいては、電圧は、線(20)のv=V
REFにて示すようにt=T₃の時点でV_{REF}に到達して
いる。T₁、T₂及びT₃で規定される3つの期間は、この
3つの放射輝度レベルについての露光期間を表わして
いる。従って最高レベルから最低レベルまでの間の放射輝
度を有するシーン区分域は、いずれもt=T₁からt= T₃まで
の間に終了する露光時間を有することになる。
電圧が、V_{RESET}からV_{REF}まで降下する時間を定量化す
ることにより、放射輝度を判定することができ、この場
合、より短い露光時間がより高い放射輝度に対応する。

【0019】V_{RESET}に対するV_{REF}の値は、可変露光時間
技術を採用するイメージセンサの性能に影響する。高
いV_{REF}値、すなわちV_{RESET} - V_{REF}間の小さい電圧変
化は、低いV_{REF}値の場合よりも高速な光センサ応答時
間をもたらす。しかしながら、イメージセンサの性能
は、センサノイズやデジタル化回路により許容される最
高カウンタクロック周波数によって制限されてしまう。
一方で、低いV_{REF}値の場合、センサノイズによる劣化
の少ない信号は提供されるもののセンサ応答は遅くな
る。

【0020】図3に、本発明に基づく撮像装置(22)を示す。
撮像装置(22)は、単一の半導体チップ上に作成される
のが好ましい。撮像装置(22)は、可変露光時間を定量化
するという上述の技術を用いてシーン区分域からの放
射輝度を判定するものである。撮像装置
(22)は、画素(25)のアレイ(24)を含む。各
画素(25)は、シーン区分域からの放射輝度に応じて
露光時間を測定し、測定した露光時間をデジタル化する
ように作られている。さらに、画素(25)の各々は、
測定露光時間を表わすデジタル化されたデータを記憶す
ることができる。撮像装置(22)は、さらに、行デコ
ーダ(26)、読み取り・書き込み・リフレッシュ(RW
R)回路(28)、列デコーダ(30)及び制御ユニット(32)
を備える。

【0021】行デコーダ(26)は、読み取り、書き込み又
はリフレッシュ処理中にアレイ(24)中の画素(25)
の行を選択するように構成されている。同様に、列
デコーダ(30)は、上述の処理の1つが行われている
間に画素(25)の列を選択するように動作する。RW
R回路(28)は、画素(25)と制御ユニット(32)
との間のデータの流れを制御するように構成されて
いる。更に、RWR回路(28)は、画素(25)中に
記憶されたデータをリフレッシュする為に必要な回路を
備えている。制御ユニット(32)は、RWR回路(28)
、デコーダ(26、30)及び画素(25)に対して
必要な制御及びタイミング信号を供給する。

【0022】図4に、対象シーンからの画像データを取
り込み、デジタル化し、及び記憶することが可能な画素
内局所露光制御機構を有する撮像画素回路(34)を示す。
撮像画素回路(34)は、図3のアレイ(24)中の
画素(25)の各々に含まれている。撮像画素回路
(34)は、フォトダイオード(36)、比較器(38)
、ダイナミックバッファメモリ(40)及び支援回
路を備える。フォトダイオード(36)は、Pチャンネル
金属酸化物半導体(PMOS)トランジスタ(42)
とアースとの間に結合している。PMOSトランジスタ
(42)は、フォトダイオード(36)をV_{RESET}電圧
に接続する為のリセットスイッチとして機能する。V
RESET電圧は、外部供給源(図示せず)によりPMOS
トランジスタ(42)へと供給される。PMOSトラン

ジスタ (42) のゲートに印加されるRESET信号は、PMOSトランジスタ (42) を活動状態、又は非活動状態にするものである。浮動拡散 (FD) ノード (44) は、PMOSトランジスタ (42) とフォトダイオード (36) との接点を比較器 (38) に接続する。FDノードにおける電圧は、撮像シーンの区分域に対する露光時間を判定する為にモニタされる臨界電圧である。積分コンデンサ (46) もまた、FDノード (44) に接続している。コンデンサ (46) は、FDノード (44) を囲む素子により形成される内蔵コンデンサである。

【0023】比較器 (38) は、供給電圧 (VDD) に接続される2つのゲート結合PMOSトランジスタ (48、50) から成る。PMOSトランジスタ (48) にはMOSトランジスタ (52) が直列に接続しており、PMOSトランジスタ (50) にはMOSトランジスタ (54) が直列に接続している。MOSトランジスタ (52) のゲートは、FDノード (44) に接続しているが、MOSトランジスタ (54) のゲートは、V_{REF} 電圧を受ける為に外部回路 (図示せず) に接続している。MOSトランジスタ (52、54) は、MOSトランジスタ (56) に結合しており、トランジスタ (48、52) が、VDDからトランジスタ (56) までの第一の導電路を提供し、トランジスタ (50、54) が、VDDからトランジスタ (56) までの第二の導電路を提供するように構成されている。トランジスタ (56) のゲートは、PMOSトランジスタ (48、50) のゲートに結合している。トランジスタ (58) は、トランジスタ (56) をアースに接続する。トランジスタ (58) は、CLK信号により制御され、比較器 (38) の活動化及び非活動化を制御する。

【0024】比較器 (38) は、V_{REF} 電圧に対するFDノード (44) の電圧を表わすために動作する。FDノード (44) の電圧がV_{REF} 電圧よりも大きい場合、比較器 (38) は、出力端子 (60) に高信号 (高レベルの信号) を出力する。FDノード (44) の電圧がV_{REF} 電圧以下のときは、比較器 (38) は、出力端子 (60) に低信号 (低レベルの信号) を出力する。しかしながら、低 (レベル) のCLK信号がトランジスタ (58) のゲートに供給されると、比較器 (38) 内に電流が流れなくなる為、比較器 (38) は非活動状態になる。電流が流れないために、FDノード (44) の電圧に関係なく、出力端子 (60) には高信号が出力される。高 (レベル) のCLK信号は、比較器 (38) を活動状態にして、V_{REF} 電圧に対するFDノード (44) 電圧をモニタするようにする。

【0025】出力端子 (60) に接続しているのは、一対のトランジスタ (62、64) である。トランジスタ (62) は、PMOSトランジスタである。トランジスタ (62、64) のゲートは、出力端子 (60) に結合

している。トランジスタ (62、64) は、VDDとアースとの間に直列に接続している。トランジスタ (62) は、VDDに接続し、トランジスタ (64) は、アースに接続している。トランジスタ (62、64) は、出力端子 (60) の信号を反転させ、その反転信号をトランジスタ (62、64) 間のノードに接続されたゲート端子 (66) に送るよう動作する。

【0026】ゲート端子 (66) 上の反転信号は (その高低によるが) 、書き込みワードライン (WWL) (68) 上にプリチャージされた高信号を低信号に駆動することができる。これは、VDDからアースへの導電路を提供するPMOSトランジスタ (70) 及びトランジスタ (72) により行われる。PMOSトランジスタ (70) のゲートは、RESET信号を受信して、PMOSトランジスタ (70) の導電状態を制御するように構成されている。トランジスタ (72) のゲートは、ゲート端子 (66) に接続している。PMOSトランジスタ (42) を「オン」にしてFDノード (44) の電圧をV_{RESET} までプリチャージするRESET信号は、PMOSトランジスタ (70) もまた「オン」にし、WWL (68) の電圧をVDDまでプリチャージする。ゲート端子 (66) における電圧が低信号から高信号に変わると、トランジスタ (72) は活動状態となる。トランジスタ (72) が活動状態になると、WWL (68) 上の高信号は低信号に駆動される。しかしながら、ゲート端子 (66) 上の低信号は、WWL (68) 上の信号には影響しない。

【0027】WWL (68) は、PMOSトランジスタ (74) に結合しており、このトランジスタ (74) は、WWL (68) をVDDに接続することができる。PMOSトランジスタ (74) は、トランジスタ (74) のゲートに供給されるワードラインアクセス (WL A) 信号により制御される。トランジスタ (76) もまたWWL (68) に結合しており、これは、WWL (68) をアースに接続することができる。書き込み終了 (WT) 信号が、トランジスタ (76) のゲートに供給されており、WWL (68) のアースへの接続を制御する。WLA及びWT信号は、リフレッシュ及び書き込み処理中に用いられる。

【0028】WWL (68) は、ダイナミックバッファメモリ (40) へと伸びている。ダイナミックバッファメモリ (40) に結合しているのは、複数の双方向ビットライン (BL) (78) である。双方向BL (78) は、デジタル計数値のビットを外部カウンタ (図示せず) からダイナミックバッファメモリ (40) に送ることができる。加えて、双方向BL (78) は、記憶されたデータをダイナミックバッファメモリ (40) からRWL回路 (28) に送るよう構成されている。ダイナミックバッファメモリ (40) には、デジタル計数値のようなデジタルデータを記憶することができるメモリ

セルが含まれている。メモリセルの数は、双方向BL(78)の数に一致する。一例として、メモリセルと双方向BL(78)の数を16個にすることができる。従って、この例の場合、ダイナミックバッファメモリ(40)は、16ビットダイナミックバッファメモリであり、16ビットのデジタル計数値を記憶できる。ダイナミックバッファメモリ(40)には、読み取りワードライン(RWL)(80)も接続している。RWL(80)及びWWL(68)は、データメモリセルにアクセスして、データの検索・記憶をする為にダイナミックバッファメモリ(40)中のメモリセルに接続している。ダイナミックバッファメモリ(40)の主要機能は、FDノード(44)の電圧がV_{REF}まで降下したときに、特定のデジタル計数値を取り込み、記憶することである。取り込まれたデジタル計数値は、撮像しているシーン区分域からの放射輝度を判定する為に用いることができる露光時間を表わすものである。

【0029】図5に、ダイナミックバッファメモリ(40)の2つのメモリセル(82、84)を示す。但し、ダイナミックバッファメモリ(40)は、メモリセル(82、84)と同様のメモリセルを16個以上含むことができる。メモリセル(82)は、トランジスタ(86、88、90)から構成される。記憶コンデンサ(92)は、記憶ノード(94)の静電容量を説明する為にメモリセル(82)の構成要素として示されている。トランジスタ(86)は、双方向BL(78)と記憶ノード(94)の間に接続されている。トランジスタ(86)のゲートは、WWL(68)に結合している。トランジスタ(86)は、データをメモリセル(82)に書き込む為には活動状態になければならない書き込みアクセストランジスタである。トランジスタ(88、90)は、双方向BL(78)からアースへの導電接続を提供する。トランジスタ(90)のゲートは、RWL(80)に結合し、トランジスタ(88)のゲートは、記憶ノード(94)に結合している。従って、双方向BL(78)が高信号にプリチャージされ、トランジスタ(90)が活動状態になると、トランジスタ(88)の導電状態は、コンデンサ(92)に記憶されたデータのビットにより制御される。トランジスタ(90)は、メモリセル(82)中に記憶されたデータを読み取る為には活動状態にならなければならない読み取りアクセストランジスタである。メモリセル(84)は、メモリセル(82)と同一である。メモリセル(84)は、トランジスタ(96、98、100)と、記憶ノード(104)における記憶コンデンサ(102)を備える。

【0030】メモリセル(82、84)の読み取り及び書き込み動作を、メモリセル(82)のみについて説明する。メモリセル(84)及びダイナミックバッファメモリ(40)中の他のメモリセルの動作は、メモリセル(82)の動作と同一である。書き込み動作には、単に記

憶すべきデータを双方向BL(78)で伝送し、その後、高信号をWWL(68)に印加してトランジスタ(86)を活動状態とすることが含まれる。トランジスタ(86)が活動状態(オン)になると、コンデンサ(92)が双方向BLに接続し、双方向BL(78)からコンデンサ(92)にデータが書き込まれる。その後、トランジスタ(86)が非活動状態(オフ)になると、コンデンサ(92)のデータが取り込まれる。読み取り動作には、双方向BL(78)を高信号にプリチャージし、トランジスタ(90)を活動状態にすることが含まれる。コンデンサ(92)に記憶されたデータにより、双方向BL(78)上の高信号は、低へと引き下げられるか、あるいは高に保持されたまとなる。コンデンサ(92)に記憶された高信号(すなわち「1」)は、トランジスタ(90)が「オン」になると、トランジスタ(88)を活動状態にする。トランジスタ(88、90)の両方が活動状態になると、双方向BL(78)がアースに接続され、双方向BL(78)上の高信号は、低信号に引き下げられる。しかしながら、低信号(すなわち「0」)が、コンデンサ(92)に記憶されている場合は、トランジスタ(90)が「オン」になったときに、トランジスタ(88)は活動状態にはならない。従って、双方向BL(78)上の高信号は、高のまま保持される。これにより、トランジスタ(90)が活動状態になった後の双方向BL(78)上の信号は、データとしてコンデンサ(92)に記憶された信号を反転したものとなる。

【0031】ダイナミックバッファメモリ(40)のメモリセルは、ダイナミックランダムアクセスメモリ(DRAM)素子である。これらのメモリセルによれば、記憶されたデータを処理中に破壊すること無く読み取ることができるが、これは、記憶されたデータが、トランジスタのゲートにのみ与えられる為である。メモリセルのこの非破壊的特性は、リフレッシュサイクルの頻度を低減するか、あるいは高速読み取りアプリケーションにおいてはリフレッシュ処理の必要を無くすものである。従ってメモリセルを、記憶データのリフレッシュを行なう必要なく何度も読み取ることができる。しかしながら、データがメモリセルに長期間にわたって格納されている場合、ある時点でのメモリセルのリフレッシュを行なう必要がある。記憶データは、メモリセル中の記憶データの反転信号としてメモリセルから読み取られるので、メモリセルに書き戻す信号は、読み取った信号、すなわちもとの記憶データを反転したものでなければならない。

【0032】この条件を満たす為に、ダイナミックバッファメモリ(40)のメモリセルの各々は、図6に示すセンス増幅回路(106)のような、対応するセンス増幅回路に接続している。センス増幅回路は、図3のRW回路(28)に含まれている。説明の都合上、センス増幅回路(106)はメモリセル(82)に接続されて

いるものと想定して説明する。センス增幅回路(106)は、弱フィードバックラッチ(108)、インバータ(110)、及びトランジスタ(112、114、116、118)を備える。ラッチ(108)は、大型インバータ(120)及びフィードバック(124)上のより小型のインバータ(122)から構成される。インバータ(120、122)は、入力ノード(126)上の信号を保持するように動作する。ラッチ(108)は、データバス(128)に接続している。データバス(128)は、メモリセル(82)に記憶されたデータの、読み取り処理中における出力経路を提供する。データバス(128)は、メモリセル(82)から図3の制御ユニット(32)への出力経路を提供する。BD_gate信号により制御されるトランジスタ(118)は、ラッチ(108)をデータバス(128)に接続する。ラッチ(108)は、2つの経路(132、134)のうちの1つを介して双方向BL(78)にも導電的に接続することができる。経路(132)は、トランジスタ(114)が、R_gate信号により活動状態にされると導通し、経路(134)は、トランジスタ(116)が、制御書き込み可能(CWE)信号により活動状態にされると導通する。第三の経路(130)は、トランジスタ(112)が、BLOAD信号により活動状態にされると、双方向BL(78)をVDDに接続する。経路(134)上には、メモリセル(82)からの検出データをリフレッシュ処理の間に元の記憶データへと反転させるインバータ(110)が含まれている。経路(132、134)のうちの1つはまた、双方向BL(78)と書き込みビットライン(WBL)(136)との間の接続も提供する。WBL(136)は外部カウンタに接続されて、デジタル計数データを受信する。さらに、WBL(136)を、チップ外の外部装置(図示せず)に接続してメモリセル(82)に書き込まれるデータを受信するようになることができる。書き込まれるデータは、チップ外の外部装置によって修正された、メモリセル(82)からの読み出しデータとすることができる。

【0033】撮像装置(22)の画像取り込み処理を図3から図6を参照して説明する。画像取込処理は、図3のアレイ(24)中の各画素(25)内において同時に行われる。各画素(25)は、画像取り込み処理を同じ方法で行なう。まず、V_{REF}が、図4の比較器(38)のトランジスタ(54)のゲートに供給される。その後RESET信号が、低に設定されて、FDノード(44)の電圧が、V_{RESET}に、WWL(68)の電圧が、VDDにリセットされる。WWL(68)の電圧のVDDへのリセットは、WWL(68)上の信号が高信号であることを意味し、これはダイナミックバッファメモリ(40)のメモリセル中の書き込みアクセストランジスタを活動状態にするものである。次に、RESET信号は高信号に切り換えられ、PMOSトランジスタ(42、

70)を「オフ」にし、FDノード(44)とWWL(68)とを電気的に切り離す。高のRESET信号は、アレイ(24)中の全ての画素(25)の可変露光時間の開始を示す。この間、高のCWE信号が、図6のセンス增幅回路(106)のトランジスタ(116)、並びに、ダイナミックバッファメモリ(40)のメモリセルに対応する他のセンス增幅回路の全ての同じトランジスタに供給される。センス增幅回路(106)のトランジスタ(116)及び対応する他のセンス增幅回路中の同じトランジスタが活動状態になることによって、双方向BL(78)を介してダイナミックバッファメモリ(40)と外部カウンタとの間に導電接続が設けられる。この導電接続により、外部カウンタからデジタル計数値を、ダイナミックバッファメモリ(40)に伝送することが可能となる。外部カウンタは、デジタル計数値を連続伝送するように露光時間の開始時に起動する。

【0034】露光時間の開始時においては、FDノード(44)の電圧はV_{REF}よりも大きいV_{RESET}となっている。高のCLK信号により起動する比較器(38)は、出力端子(60)に高信号を供給する。出力端子(60)における高信号は、ゲート端子(66)をアースに接続するトランジスタ(64)を「オン」にし、低信号をゲート端子上に生成する。ゲート端子(66)上の低信号は、トランジスタ(72)を「オン」にはしない。従って、WWL(68)上の高信号はそのまま保持される。WWL(68)上の一貫した高信号は、ダイナミックバッファメモリ(40)のメモリセル内の書き込みアクセストランジスタの導電状態を保持する。よって、メモリセルの記憶コンデンサは、一連のデジタル計数値を外部カウンタから受信できる状態にある。撮像画素回路(34)は、FDノード(44)の電圧がV_{REF}に降下するまでこの状態を保持する。

【0035】露光時間の間、FDノード(44)の電圧は、フォトダイオード(36)が発生する電流に応答してV_{RESET}から降下していく。FDノード(44)の電圧降下速度は、フォトダイオード(36)に入射する入射光強度の関数である。入射光の強度は、対象シーンからの放射輝度に応じて変わる。放射輝度が高い場合、フォトダイオード(36)に入射する光の強度が増大する為に、フォトダイオード(36)は大きい電流を発生する。大きい電流により、コンデンサ(46)が放電し、FDノード(44)における電圧を低下させる。しかしながら、シーンからの放射輝度がより低い場合、フォトダイオード(36)が発生する電流はより小さくなる。より小さい電流でもコンデンサ(46)を放電させ、FDノード(44)の電圧を低下させることにはなるが、しかしその速度はより遅い。

【0036】FDノード(44)の電圧がV_{REF}にまで降下すると、比較器(38)は、出力端子(60)に低信号を生成する。出力端子(60)における低信号は、

トランジスタ（64）を非活動状態にし、PMOSトランジスタ（62）を活動状態にする。トランジスタ（62）が活動状態になると、ゲート端子（66）上の低信号が高信号に引き上げられる。次に、ゲート端子（66）の高信号がトランジスタ（72）を活動状態にして、WWL（68）をアースに接続する。こうして、WWL（68）上の高信号が低信号に変換され、ダイナミックバッファメモリ（40）のメモリセル内の書き込みアクセストランジスタを「オフ」にする。書き込みアクセストランジスタが非活動状態になると、外部カウンタから伝送された最新のデジタル計数値が「取り込まれる」。外部カウンタは、更にデジタル計数値を伝送し続ける。しかしながら、その後のデジタル計数値は、ダイナミックバッファメモリ（40）に記憶された、取り込まれたデジタル計数値には影響しない。画像取込処理は、露光開始時間から事前に決められた時間が経過した後に終了する。

【0037】CLK信号を、露光時間の開始時点から画像取り込み処理の終了時点までを通じて高に保つことはできるが、比較器（38）が活動状態になることによって生じる電流ドレインによる電力消費を低減する為に、CLK信号を一連のパルスにより構成することもできる。ダイナミックバッファメモリ（40）によるデジタル計数値の受信間隔内の短い期間中に、CLK信号が高になるように、CLK信号をデューティーサイクルに同期させることができる。従って、FDノード（44）の電圧は、比較器（38）が活動状態になるこれらの短い期間にのみ比較されることになる。デューティーサイクルを利用することにより、撮像画素回路（34）の電力消費を大幅に低減することができる。例えば、各画素毎に0.2μAが必要な場合、100万画素のセンサアレイには200mAが必要となる。しかしながら、CLK信号を1%のデューティーサイクルに同期させた場合、必要な電流はたったの2mAで済む。

【0038】単純な実施態様においては、外部カウンタにより供給されるデジタル計数値は、線形計数値である。更に、FDノード（44）の下降電圧と比較する為に利用されるV_{REF}は一定の信号である。より複雑な実施態様においては、これらの特長の1つ又は両方が変更される。露光時間と対象シーンからの放射輝度との間の関係を変えるために、外部カウンタを非線形クロック周期で実施することができる。例えば、外部カウンタは、対数周期を利用して対数デジタル計数値を生成することができる。この場合は、画素が取り込んだデジタル計数値は、露光時間とは対数関係となり、撮像中のシーンの放射輝度範囲について、よりバランスのとれたグレイスケール解像度が実現する。さらに、V_{REF}を非線形信号として供給することができる。例えば、低放射輝度シーンに伴う潜在的に長い露光時間を短縮する為に、V_{REF}信号を時間と共に増加させることができる。

【0039】図7に、図3の撮像装置（22）のリフレッシュ処理のタイミング図を示す。リフレッシュ処理については、図7に加えて図3-図6も参照して説明する。まず、アレイ（24）中の画素（25）の行が、その行中の各画素におけるメモリセルをリフレッシュする為に、行デコーダ（26）により選択される。t=T1の時点において、高のBLOAD信号が、図3のセンス増幅回路（106）中のトランジスタ（112）、及び選択されたアレイの行の各メモリセルに接続した他のセンス増幅回路中の同じトランジスタに供給される。BLOAD信号によって制御されるトランジスタが活動状態になると、そのメモリセルに関連する双方向BL（78）がVDDに接続され、双方向BLは高にプリチャージされる。

【0040】t=T2の時点において、BLOAD信号は低信号に降下し、BLOAD信号によって制御されるトランジスタを非活動状態にする。次にt=T3の時点において、RWL（68）のような読み取りワードライン上の信号が、低信号から高信号に切り替わり、選択されたアレイの行中のメモリセルの読み取りアクセストランジスタをオンにする。読み取りアクセストランジスタがオンになると、各メモリセル中に記憶されたデータは、双方向BL（78）上にプリチャージされた高信号を低信号に引き下げるか、あるいは、高信号のままにすることができるようになる。メモリセルに記憶された高信号（すなわち「1」）は、双方向BL上の高信号を低信号に引き下げる。しかしながら、メモリセルに記憶された低信号（すなわち「0」）は、双方向BL上の高信号を変化させない。従って、結果として双方向BL（78）上に得られる信号は、記憶されたデータを反転した形で表すものである。t=T4の時点において、高のR_gate信号が、センス増幅回路中のトランジスタ（114）及び他のセンス増幅回路中の同じトランジスタに供給され、双方向BL（78）をセンス増幅回路の弱フィードバックラッチに接続する。弱フィードバックラッチは、双方向BL（78）からの反転信号を保持する。

【0041】次にt=T5の時点において、読み取りワードライン上の高信号を引下げ、R_gate信号を低信号に切り替えることにより、読み取りアクセストランジスタ及びR_gate信号によって制御されるトランジスタがオフにされる。t=T6の時点において、CWE信号が低信号から高信号に切り替えられ、センス増幅回路中のトランジスタ（116）及びその他の同じトランジスタがオンにされる。弱フィードバックラッチにより保持されていた反転信号は、センス増幅回路中のインバータ（110）及び他の同じインバータによってメモリセル中に記憶された元データに一致するように変換される。変換された信号は、CWE信号によって制御されるトランジスタをオンにすることにより、双方向BLに伝送される。次にt=T7の時点において、WLA信号が高信号から低信

号に切り換えられ、図4のPMOSトランジスタ(74)及び選択された画素中の他の同じPMOSトランジスタが「オン」にされる。WLA信号によって制御されるトランジスタが活動状態になると、WWL(68)のような書込みワードラインがVDDに接続される。書込みワードライン上のVDDにより、選択された画素のメモリセル中の書込みアクセストランジスタが「オン」にされる。書込みアクセストランジスタが活動状態になると、センス増幅回路からの変換された信号をメモリセルに書込むことができるようになる。

【0042】 $t = T_8$ の時点において、WLAは高信号に切り換えられ、書込みワードラインをVDDから切り離す。 $t = T_9$ では、CWE信号は、CWE信号によって制御されるトランジスタをオフにする為に低に引き下げられ、メモリセルがセンス増幅回路から遮断される。更に、高のWT信号が、画素中のトランジスタ(76)及び他の同じトランジスタに供給され、書込みワードライン上の高信号が引き下げられて、書込みアクセストランジスタがオフにされる。 $t = T_{10}$ では、WT信号が低信号に切り換えられ、WT信号により制御されるトランジスタが「オフ」にされる。最後に、 $t = T_{11}$ において、リフレッシュサイクルを繰り返すことができる。

【0043】好適な実施態様では、図3の画素(25)は画素対として構成されており、各画素対の2つの画素によって使用される2つのダイナミックバッファメモリを収容するための画素空間を共有するようになっている。図8に、好適な実施態様に基づく画素対(138)を示す。画素対(138)には、左(側)画素(140)及び右(側)画素(142)が含まれる。左画素(140)が上方のダイナミックバッファメモリ(144)を利用し、右画素(142)が下方のダイナミックバッファメモリ(146)を利用する。ダイナミックバッファメモリ(144)の半分は、左画素(140)中に配置される。ダイナミックバッファメモリ(144)のもう半分は、右画素(142)中に配置される。同様に、ダイナミックバッファメモリ(146)も、左右画素(140, 142)の両方に配置される。この構成によれば、画素サイズを最小化することができ、また、バッファメモリに大きいデジタル計数値を格納する為の充分な記憶能力を持たせることができる。この好適な実施態様では、読み取り及び書き込み処理には、アレイ(24)中の画素(25)の行を連続的に選択することと、下方のダイナミックバッファメモリ及び上方のダイナミックバッファメモリへのアクセスを交互に行なうことが含まれる。この方法によれば、アレイ(24)中の全ての画素(25)をデータの検索又は記憶を行なう為にアクセスすることができる。

【0044】撮像装置(22)を利用して対象シーンを撮像する方法を、図9を参照して説明する。ステップ(148)で、対象シーンからの放射輝度に応答して撮

像装置(22)中の特定の画素内にあるフォトダイオードが光信号を発生する。放射輝度の強さが光信号の大きさを決定する。ステップ(150)で、露光継続時間が測定され、光信号の相対的な強度が判定される。露光継続時間は、リセット電圧から基準電圧への露光信号電圧の一定量の減少により規定されるが、ここで減少速度は、光信号の大きさに依存する。次に、ステップ(152)で、露光継続時間がデジタル値に変換される。露光継続時間のデジタル化は、撮像装置(22)の画素内部で行われることが望ましい。ステップ(154)で、デジタル値がその画素に関連するメモリに記憶される。好適な実施態様では、メモリは、撮像装置(22)の画素アレイ中に設けられている。

【0045】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

1. 画素(25)のアレイ(24)により構成された感光性領域を有する撮像装置(22)において、各画素が、前記画素への入射光の強度に応じた光信号を発生する光センサ(36)であって、前記入射光の強度が対象シーンからの放射輝度に対応することからなる、光センサと、前記光センサの可変長露光時間の関数として時間依存性信号を形成する為に前記光センサに接続されてそれと関連して動作するコンバータ(38, 40, 68, 78)であって、前記可変長露光時間が、前記光信号の大きさとの数学的関係に基づいた継続時間長を有し、これにより前記時間依存性信号が、前記入射光の強度を表わすことからなる、コンバータとから構成されること。

2. 前記光信号が、アナログ信号であり、前記コンバータ(38, 40, 68, 78)が、前記アナログ光信号を受信するように接続されて、前記時間依存性信号をデジタル形式で生成する、上項1に記載の装置。

3. 前記コンバータ(38, 40, 68, 78)が、前記可変長露光時間の前記継続時間長を、前記入射光により発生した事前選択された電圧降下の検出に基づいて決定する為の回路(38)を備える、上項1又は2に記載の装置。

4. 前記コンバータ(38, 40, 68, 78)が、積分信号を基準信号と比較する為に前記光センサに電気的に結合した比較器(38)を備えており、前記回路は、前記積分信号の大きさが前記基準信号の大きさと等しくなったときに終了信号を発生し、前記積分信号は、前記光信号の大きさにより規定される変化速度を有することからなる、上項1又は2に記載の装置。

5. 前記時間依存性信号のデジタル値のビットを記憶する為に前記コンバータに接続された複数のメモリセル(82, 84)を更に含み、前記メモリセルが、対応する双方ビットライン(78)に電気的に結合しており、前記対応する双方ビットラインの各々が、前記メモリセルの1つからそれらの1つへとデータを伝送するよう構成されていることからなる、上項1, 2, 3又

は4に記載の装置。

6. 対象シーンの撮像方法において、イメージセンサ(22)の画素領域(25)においてアナログ形式で光信号を生成するステップ(148)であって、前記光信号が、前記画素領域で検出された入射光の強度に応じたものであることからなる、ステップと、前記入射光の強度を判定する為に露光時間の継続時間を測定するステップ(150)であって、前記露光時間が、前記光信号の大きさに依存して可変であることからなる、ステップと、前記露光時間の継続時間をデジタルデータとしてデジタル化するステップ(152)であって、前記デジタルデータを前記イメージセンサのメモリ(40)に記憶するステップ(154)を含むステップとからなる方法。

7. 前記露光時間の前記継続時間長を測定する前記ステップ(150)が、消失しうる露光信号の変化を(ノード44において)モニターするステップを含み、前記変化が、前記光信号の大きさに依存する減少速度(図2の3つの線、16、18及び20で示す)を有することからなる、上項6に記載の方法。

8. 前記露光信号の変化を(ノード44において)モニターする前記ステップが、前記露光信号を基準信号と(比較器38により)比較するステップを含み、前記基準信号が、前記露光時間の終了を規定するために前記露光信号のしきい値として機能することからなる、上項7に記載の方法。

9. 前記露光時間の前記継続時間長をデジタル化する前記ステップ(152)が、複数のデュアルポートメモリセル(82、84)及び関連する双方方向ビットライン(78)を使用することを含み、前記双方方向ビットラインの各々が、前記デュアルポートメモリセルの1つからそれらの1つへとデータを伝送するように構成されていることからなる、上項6、7又は8に記載の方法。

10. 前記露光時間の前記継続時間長をデジタル化する前記ステップ(152)が、前記露光時間の前記継続時間長をデジタル化するステップを、前記画素領域(2

5) 内で実行することを含む、上項6、7、8又は9に記載の方法。

【0046】

【発明の効果】本発明によれば、ダイナミックレンジが高い優れた撮像性能を有し、かつ放射輝度の低い撮像シーンの領域に対しても高い感度を有するイメージセンサを提供することができる。

【図面の簡単な説明】

【図1】固定露光時間技術を用いた従来技術の撮像装置により検出された、シーン区分域からの異なるレベルの放射輝度を表わす3つの線を示す電圧-時間グラフである。

【図2】可変露光時間技術を用いた本発明に基づく撮像装置により検出された、シーン区分域からの異なるレベルの放射輝度を表わす3つの線を示す電圧-時間グラフである。

【図3】本発明に基づく撮像装置のブロック図である。

【図4】本発明に基づく撮像画素回路の概略図である。

【図5】図4の撮像画素回路に用いられる、双方方向ビットラインに結合する本発明に基づく一対のメモリセルの概略図である。

【図6】本発明に基づくセンス増幅回路の概略図である。

【図7】図4の撮像画素回路のリフレッシュ動作のタイミング図である。

【図8】本発明の好適な実施態様に基づく画素対を示すブロック図である。

【図9】本発明に基づく対象シーンの撮像方法を説明するフローチャートである。

【符号の説明】

22 撮像装置(イメージセンサ)

24 画素アレイ

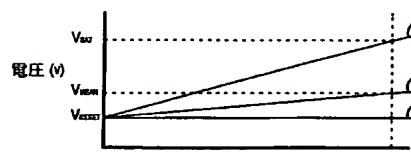
25 画素

36 光センサ

38、40、68、78 変換器

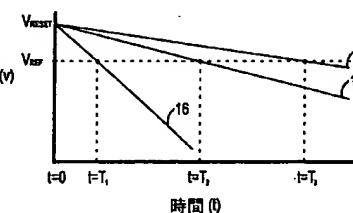
82、84 メモリセル

【図1】

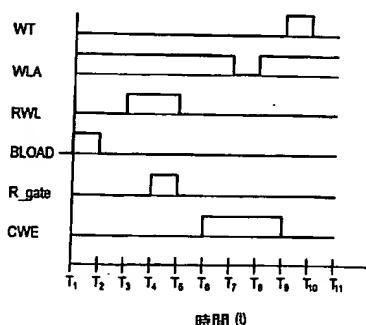


(従来技術)

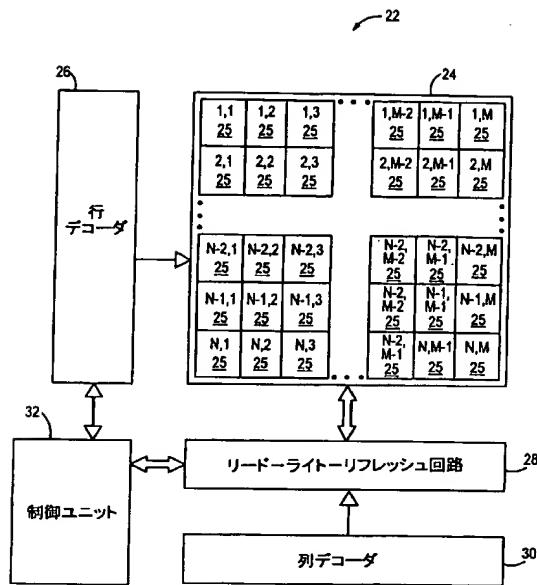
【図2】



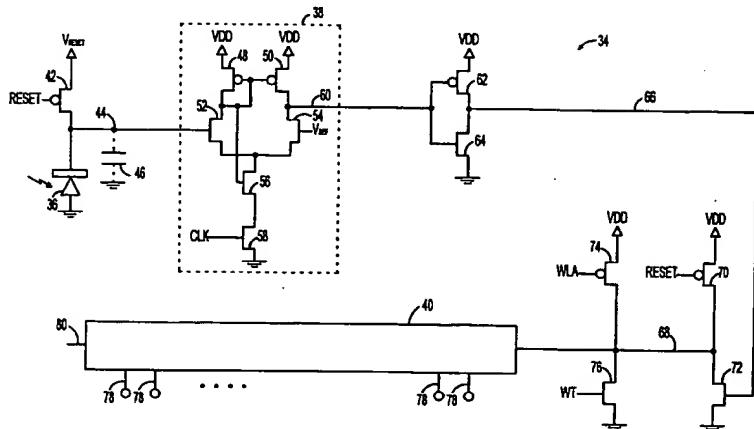
【図7】



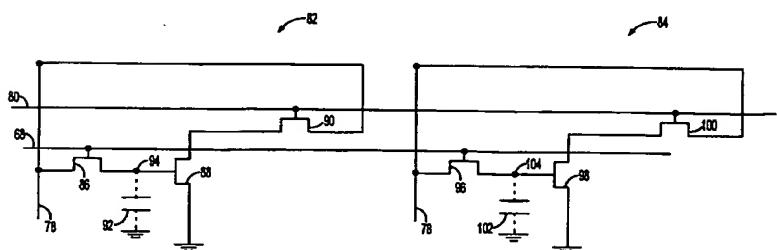
【図3】



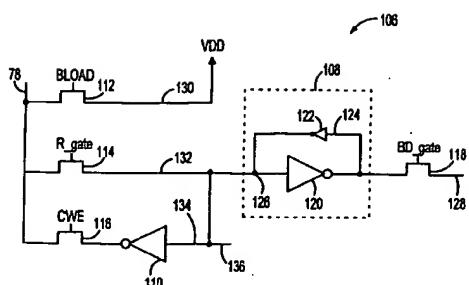
【图4】



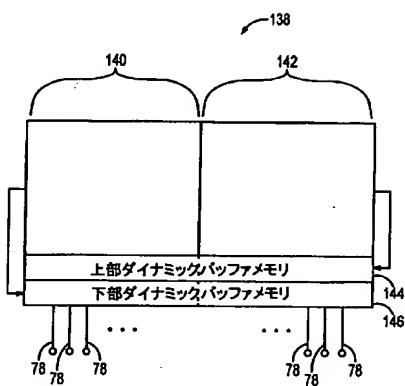
【図5】



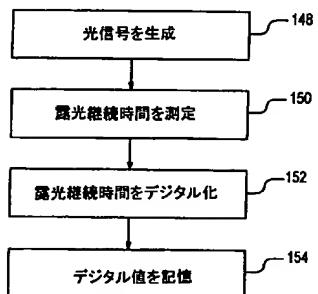
【図6】



[图 8]



【図9】



フロントページの続き

(71)出願人 399117121

395 Page Mill Road P
alo Alto, California
U. S. A.

(72)発明者 チャールズ・エム・シー・タン

アメリカ合衆国カリフォルニア州95051,
サンタ・クララ, ビレオ・アベニュー・
3670